

新型串行融合 Reed-Solomon 码译码器设计

安翔宇, 梁煜, 张为
(天津大学微电子学院, 300072, 天津)

摘要: 针对流水线结构融合里德-所罗门(Reed-Solomon, RS)码译码器时序中存在大量空闲等待时间的问题,提出了一种新型串行融合 RS 码译码器架构。为消除流水线阶段中的空闲等待时间,将译码器时序调整为串行结构;通过译码子模块电路复用设计了一种分时实现不同模块功能、可同时适用于随机错误译码与单段突发错误译码的 mSPCF 模块;提出基于 mSPCF 模块的串行融合 RS 码译码器架构,并对译码器进行了延时分析,在 SMIC 0.13 μ m CMOS 工艺库下对译码器进行了电路逻辑综合。仿真结果表明:与流水线结构融合译码器相比,所提译码器可减少约 9.4% 的硬件资源消耗,在信噪比 6.2~7.4 dB 范围内发生译码随机错误和单段突发错误时,平均译码延时可分别降低约 73.45% 和 45.65%,吞吐率分别提升约 236.76% 和 64.49%,证明该译码器具有更优异的性能。

关键词: 里德-所罗门(RS)码;译码器;串行;突发错误

中图分类号: TN911.22 **文献标志码:** A

DOI: 10.7652/xjtuxb202103008 **文章编号:** 0253-987X(2021)03-0065-07



Design of a Novel Serial United Reed-Solomon Decoder

AN Xiangyu, LIANG Yu, ZHANG Wei
(School of Microelectronics, Tianjin University, Tianjin 300072, China)

Abstract: A novel serial united Reed-Solomon (RS) decoder is proposed to deal with the idle time that exists in the decoding process of pipeline united RS decoder. To eliminate the idle time in the pipelining stage, the timing chart of decoder is adjusted to a serial structure. Through the multiplexing design of decoding modules, a time-sharing mSPCF module is designed to realize different module functions. The mSPCF module could be utilized both in decoding random errors and single burst error. Then, a serial united RS decoder based on mSPCF module is proposed and the delay analysis of the decoder is carried out. Furthermore, the decoder is synthesized by SMIC 0.13 μ m CMOS technology library. The simulation results show that compared with the pipeline united RS decoder, the proposed decoder can reduce hardware resource consumption by about 9.4%. For decoding random errors and single burst error in the range of 6.2—7.4 dB SNRs, the average decoding delay can be reduced by 73.45% and 45.65%, respectively, and the throughput can be increased by 236.76% and 64.49%, respectively. In conclusion, the proposed serial united RS decoder has better performance and more advantages in practical applications.

Keywords: Reed-Solomon (RS) code; decoder; serial; burst error

里德-所罗门(Reed-Solomon, RS)码^[1]是一种重要的差错控制码,因其纠错能力强、构造简单等,广泛应用于深空探测^[2-3]、无线通信^[4-5]、数据存储^[6]等诸多领域,一直是学术界和产业界研究的重点与热点。RS码译码算法主要包括硬判决译码^[7-10](HDD)和代数软判决译码^[11-14](ASD)两大类。

目前,典型的HDD算法是在伯利坎普-梅西(BM)算法^[2]基础上发展起来的改进的无逆伯利坎普-梅西(RiBM)算法^[9]。与HDD算法相比,ASD算法充分运用信道软信息,具有更加优异的纠错性能。在现有的ASD算法中,低复杂度蔡斯(LCC)^[11-12]算法是具有最低计算复杂度,硬件实现最为简单的算法。为了进一步提升LCC算法的速度、减小硬件实现面积,García-Herrero等提出了一种基于硬判决的软判决译码(HDD-LCC)算法^[15-16],用HDD译码流程取代传统LCC算法中复杂的插值运算,通过求解测试向量并分别译码的思路提升纠错能力。

上述译码算法在高斯白噪声信道(AWGN)中表现出优异的性能。然而实际中的信道更接近于突发错误信道(Bursty),由于脉冲的干扰,时常出现码字连续出错的现象。连续突发错误很容易超出传统译码算法的纠错能力。针对这种特别出错形式,需要采用特殊的译码处理方式来提升译码性能。Wu等提出的擦除(BC)算法成为突发错误译码算法研究的基础^[17],文献[18]提出基于该算法的改进无逆擦除(RiBC)算法。这类算法可以同时纠正 β 个随机错误和长度为 f ($f < 2t - 2\beta - 1$, t 为RS码纠错能力)的单段突发错误,通过假设突发错误位置并迭代求解的方式实现译码。为适应不同信道的译码需求,胡岩等提出了一种结合随机错误译码与突发错误译码的RiBM-RiBC融合译码算法^[19]。为进一步提升译码性能,Wang等将修正的RiBC算法(riBC)与软判决HDD-LCC算法结合,提出了一种针对突发错误的融合软判决译码算法BCHDD-LCC,并设计了一种流水线结构的融合RS码译码器,在有无突发错误时分别采用BCHDD-LCC算法及HDD-LCC算法译码^[20-21]。此类融合译码器在译码随机错误与单段突发错误时均具有优异的译码性能,进

一步拓宽了RS码译码器的应用范围,为自适应信道环境的RS码译码器设计提供了思路。

流水线结构的译码器每级延迟是固定的,其中存在大量的空闲等待时间,影响译码器的译码效率、降低硬件利用率,文献[22-25]中对此问题进行分析并提出了部分改进方案。在对流水线结构融合RS码译码器进行时序分析时,发现空闲等待时间的问题同样存在并值得优化。针对此,本文设计了一种同时适用于随机错误与单段突发错误译码的mSPCF模块,并提出了一种新型串行融合RS码译码器。实验结果表明,与流水线结构的融合译码器相比,本文提出的译码器具有更低的译码延时和更高的吞吐率,实际应用更具优势。

1 流水线结构融合译码器时序分析

流水线结构融合RS码译码器架构如图1所示。首先通过重数分配模块(MA)根据突发错误预判机制^[21,26]获取码字错误信息、码字 η 个最不可靠位置并得到 2^η 个测试向量,该模块由软件实现。再由校验子计算(SC)模块得到第一个测试向量的校验子,其余校验子由校验子更新(SU)模块依次更新得到。关键方程求解(KES)模块根据错误信息选择riBC或RiBM算法,得到当前测试向量的错误值及错误位置多项式。多项式选择(PS)模块判断当前错误多项式能否译码成功,如果可以,则无需执行后续测试向量。最终,钱搜索和福尼算法模块(CSFA)根据错误多项式求得错误图样并完成译码。

流水线结构融合RS码译码器的时序关系如图2所示。SU、riBC&RiBM、PS这3个模块(简称SKP)处于同一级流水线阶段中,该译码器是由SC、SKP、CSFA模块组成的3级流水线结构。对于流水线结构,每级流水线阶段都是固定的,只有SC、SKP、CSFA模块都计算完成才能进入下一阶段的计算。

对于 (n, k) RS码,其纠错能力 $t = (n - k)/2$ 。SC、CSFA模块的译码延迟为 n ,SKP模块的译码延时根据码字情况变化。如果SKP模块译码时间小于 n ,则SKP必须经过一定的等待时间才能进行下

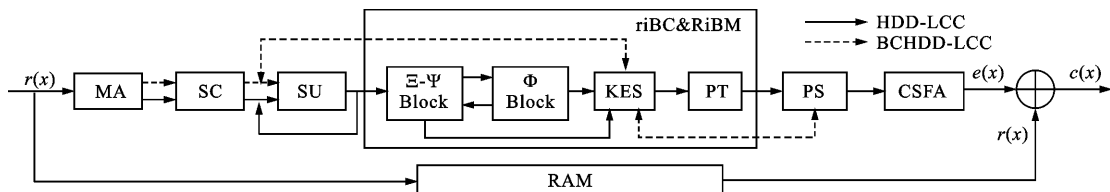


图1 流水线结构的融合RS码译码器架构

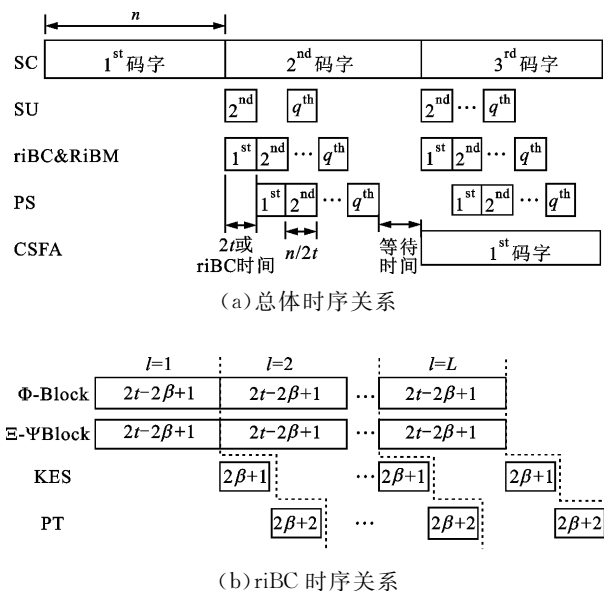


图2 流水线结构融合 RS 码译码器时序关系图

一阶段的计算。

由于 PS 模块具有判断错误多项式并提前中断的功能,SKP 只需执行 q ($1 \leq q \leq 2^v$) 个测试向量。SU 模块与 PS 模块的计算时间分别为 $2t$ 、 $n/2t$ 。根据 MA 模块得到的错误信息,riBC&RiBM 模块将选择不同关键方程求解算法:译码随机错误时,采用 RiBM 求解算法,计算时间为 $2t$;译码单段突发错误时,采用 riBC 求解算法,计算时间与突发错误位置测试数 L 密切相关,如图 2b 所示。特殊的,融合译码器没有译码多段突发错误的能力,在错误信息判断后译码器直接输出,以下不予讨论。

用 T_{SKP_random} 、 T_{SKP_burst} 分别代表译码随机错误、单段突发错误时的 SKP 计算时间,假设此时执行测试向量为 q 、突发错误位置测试数为 L , t_{larger} 为 $2t$ 、 $n/2t$ 中的较大值,则 SKP 计算时间可分别表示为

$$T_{SKP_random} = 2t + qt_{larger} \quad (1)$$

$$T_{SKP_burst} = [(2t - 2\beta + 1)L + 4\beta + 3]q + \frac{n}{2t} \quad (2)$$

为了更直观地分析 SKP 译码时间,对 (255, 239) RS 码译码时的 q 、 L 进行概率分布测试。随机错误由高斯信道产生,单段突发错误由基于马尔可夫链的突发错误信道模型^[20]产生。

图 3 是在 $\eta=3$ 、信噪比(SNR)为 6.2 dB 的条件下,随机错误译码的执行测试向量数 q 的概率分布,译码器有 90% 以上概率只执行第 1 个测试向量,根据式(1),此时 SKP 仅需要 32 个时钟周期。即使在译码器需执行所有 8 个测试向量的情况下,SKP 也只需要 144 个时钟周期,均远小于 SC、CSFA 执行

用的 255 个时钟周期。因此,在译码随机错误时第 2 级流水阶段 SKP 中存在大量空闲等待时间。

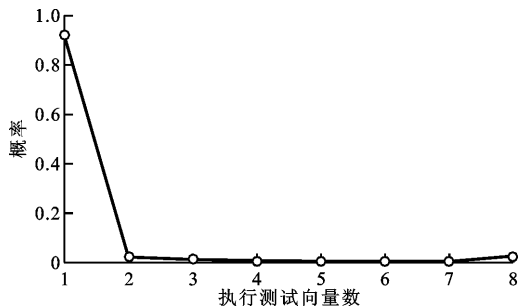
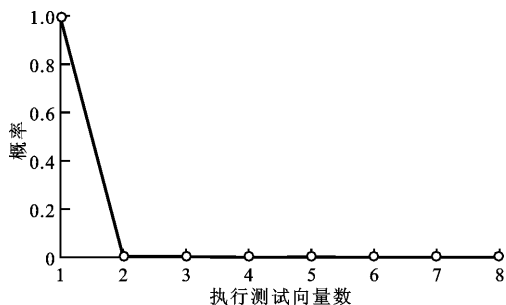
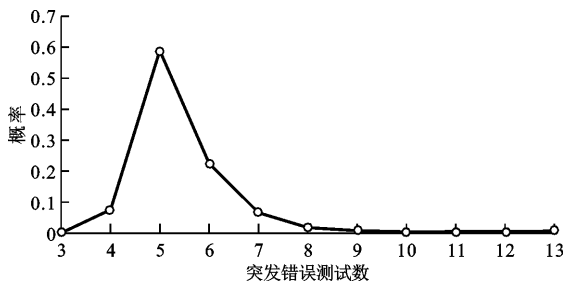


图3 随机错误译码执行测试向量数的概率分布

在 $\eta=3$ 、 $\beta=2$,信噪比为 6.2 dB 的条件下,进行单段突发错误译码的概率分布测试,结果如图 4 所示。由图 4a 所示,所有的单段突发错误均成功实现译码,且执行测试向量数 q 的平均值为 1.015。突发错误位置测试数 L 的概率分布如图 4b 所示, L 集中分布在 4~7 之间,平均值为 5.499。根据式(2)可知,粗略计算 SKP 的平均译码时间为 $(13 \times 5.499 + 11) \times 1.015 + 16 = 99.724$,此值仍均远小于 SC、CSFA 执行用的 255 个时钟周期。



(a) 执行测试向量数的概率分布



(b) riBC 模块突发错误位置测试数的概率分布

图4 单段突发错误译码的概率分布情况

2 新型串行融合 RS 码译码器

流水线结构的融合译码器在译码随机错误及单段突发错误时,第 2 级流水阶段 SKP 中均存在大量空闲等待时间,非常影响译码效率。调整译码过程时序关系,设计新型串行融合 RS 码译码器将能有

效消除等待时间,大大减少译码器的译码延时。

文献[25]提出了一种串行高效 LCC 译码器,并设计了一个并行的校验子计算-多项式选择-钱搜索-福尼算法 (SPCF) 模块,在不同时间分别实现 SC、PS、CS 和 FA 模块功能,大幅提升了传统 LCC 译码器的译码速度及吞吐率。该译码器只适用于随机错误译码,无法适应复杂的信道环境。因此,在原始 SPCF 模块的基础上,提出了一个能适用于融合译码器的修正的 SPCF 模块 (mSPCF),并设计了一种新型串行融合 RS 码译码器。与原始 SPCF 模块相比,所提出的 mSPCF 模块能用于纠正随机错误及单段突发错误,并具有更低的译码延时。

根据译码各模块功能及运算过程,PS 模块判断当前错误多项式能否译码成功,此功能通过检查错误位置多项式的阶数与根的个数是否相等实现。CS 模块将所有码元位置依次代入错误位置多项式并检查值是否为 0,来搜索错误位置多项式的全部根,得到错误位置。PS 和 CS 模块针对错误位置多项式根的运算与判断,无需重复进行。所提 mSPCF 模块将原始 SPCF 模块中分步进行 PS、CS 的过程修正为 PS、CS 模块同时进行。

SC 模块计算 $2t$ 个校验子 S_i 。令 $r_0 \sim r_{n-1}$ 为码字的全部码元, $\alpha^0 \sim \alpha^{n-1}$ 为码元的全部位置, α 为 (n, k) RS 码本原元。将 SC 模块设计为 p 度并行,则其计算公式可以整理为

$$S_i =$$

$$\sum_{j=0}^{u=\lceil n/p \rceil} (r_{pj} + r_{pj+1}x + \cdots + r_{pj+(p-1)}x^{p-1})x^{ip} \big|_{x=\alpha^i} \quad (3)$$

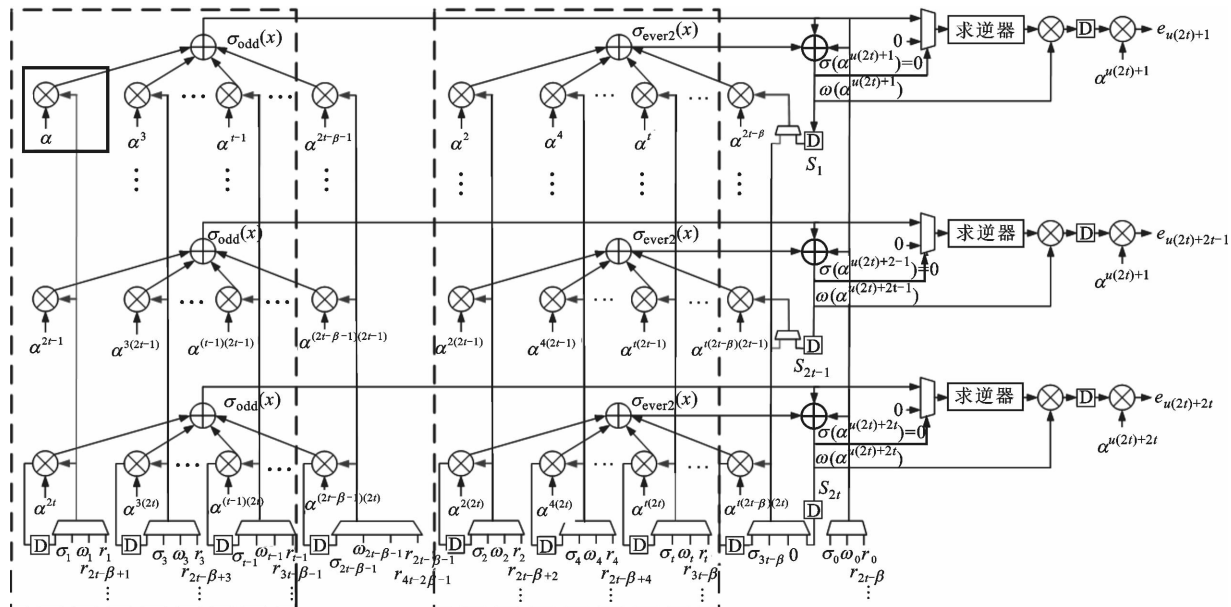


图 5 mSPCF 模块的电路结构

式中: $1 \leq i \leq 2t$, $\lceil \cdot \rceil$ 为向上取整。

PS/CS 模块搜索到错误位置多项式的全部根,同时判断该错误多项式能否译码成功。如果能成功,则由 FA 模块求解错误值。令关键方程求解模块得到的错误位置多项式 $\sigma(x)$ 的系数为 $\sigma_0 \sim \sigma_e$, 错误值多项式 $\omega(x)$ 的系数为 $\omega_0 \sim \omega_{e-1}$, $\sigma_{\text{odd}}(x)$ 是 $\sigma(x)$ 的奇数项, $E(x)$ 是最终的错误值。PS/CS、FA 模块的计算式为

$$\sigma(\alpha^i) = \sigma_0 + \sigma_1 \alpha^i + \cdots + \sigma_e (\alpha^i)^e, \quad 0 \leq i \leq n-1 \quad (4)$$

$$e(\alpha^i) = \frac{(\omega_0 + \omega_1 \alpha^i + \cdots + \omega_{e-1} (\alpha^i)^{e-1}) \alpha^i}{\sigma_{\text{odd}}(\alpha^i)}, \quad 0 \leq i \leq n-1 \quad (5)$$

式中:在译码随机错误与单段突发错误时, e 的值分别为 t 与 $2t-\beta$ 。

可以看出,式(3)~(5)都在求解特定多项式的根,计算过程的电路可以较好地兼容。基于此,设计 mSPCF 模块电路结构(见图 5)。mSPCF 模块最下面一行的选择器在不同时间分别选择系数 $r_0 \sim r_{n-1}$, $\sigma_0 \sim \sigma_e$, $\omega_0 \sim \omega_{e-1}$ 来执行 SC、PS/CS、FA 模块功能。mSPCF 模块的每一个基本单元(实线框)计算多项式的一项。为了能够同时纠正随机错误及单段突发错误, mSPCF 模块的基本单元共 $2t(2t-\beta)$ 个。

在进行式(4)、式(5)的 PS/CS 或 FA 模块运算时,需要对全部 n 个码元位置进行运算,共计 n 个多项式。如图 5 所示, mSPCF 模块共 $2t$ 行,每行计算一个多项式值,计算完所有多项式共需 $n/2t$ 个计算周期。为方便 FA 模块的求解, $\sigma_{\text{odd}}(\alpha^i)$ 与 $\sigma_{\text{even}}(\alpha^i)$ 分

开计算,并由求逆器求解 $\sigma_{\text{odd}}(\alpha^i)$ 的倒数。如果码字错误为单段突发错误,每行所有 $2t-2\beta$ 个基本单元均参与运算。如果码字错误为随机错误,则只有虚线框内的 $2t$ 个基本单元参与运算。

在进行式(3)的 SC 模块运算时,共计算 $2t$ 个校验子,每个校验子计算过程需要全部码元 $r_0 \sim r_{n-1}$ 参与运算。在 mSPCF 模块中,每行计算一个校验子。由于每行基本单元数为 $2t-2\beta$,所以计算式(3)时并行度为 $2t-2\beta$ 。每一个周期输入 $2t-2\beta$ 个码元,所有码元参与运算共需 $\lceil n/(2t-\beta) \rceil$ 个计算周期,且码元不足位置补 0。

此外,在高斯信道环境下,随着信噪比增大,会出现越来越多的无错误情况,此时 $2t$ 个校验子全为 0。对无错误的情况继续进行错误多项式的求解过程,将会造成不必要的时间及资源消耗。因此,在 mSPCF 模块新增了一个校验子判断环节。如果校验子计算后结果全为 0,说明码字无错误,直接将全部输入码字输出。否则,仍需依次通过 SU、riBC&RiBM、PS、CS、FA 过程求解错误图样最终完成译码。此判断只需增加极少的硬件资源消耗,却在信道环境较好的情况下大幅降低译码器延时。

基于所设计的 mSPCF 模块,提出了一种新型串行融合 RS 码译码器,架构如图 6 所示。mSPCF 模块在不同时间分别实现 SC、PS/CS、FA 模块功能,因此串行融合译码器只需 MA、mSPCF、SU、riBC&RiBM 模块即可实现译码。

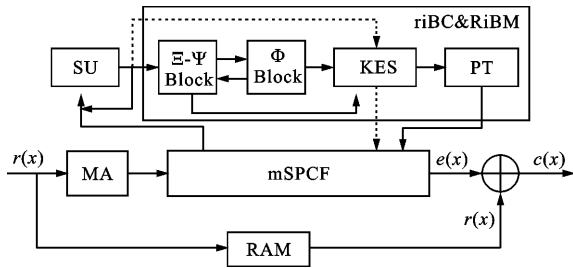


图6 新型串行融合 RS 码译码器架构

3 新型串行融合译码器性能分析

3.1 延时分析

新型串行融合 RS 码译码器的时序关系如图 7 所示。一个码字的译码过程可以分为 3 个阶段。第 1 个阶段,由 mSPCF 模块计算第一个测试向量的校验子,计算时间为 $\lceil n/(2t-\beta) \rceil$ 。第 2 个阶段,实现类似流水线结构融合译码器的 SKP 过程,得到可以译码成功的错误多项式及全部错误位置。该阶段的计算时间同式(1)、式(2)分析。第 3 阶段,由

mSPCF 模块实现 FA 过程求解错误位置对应的错误值,得到最终的错误图样,计算时间为 $n/2t$ 。只有在完成当前码字的译码后,才可进行下一个码字的译码,译码过程和上述过程相同。接下来,将基于上述过程进行串行融合译码器的译码延时分析。

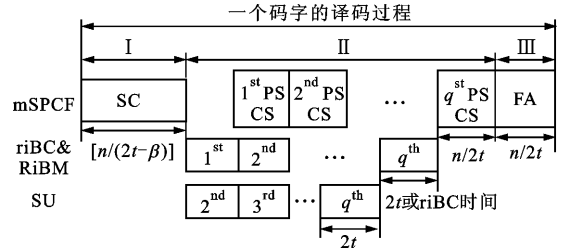


图7 新型串行融合 RS 码译码器时序关系

在译码码字无错误时,译码器只需进行 SC 模块并以 $2t$ 度并行输出,此时译码器译码延时为

$$T_r = \left\lceil \frac{n}{2t-\beta} \right\rceil + \frac{n}{2t} \quad (6)$$

在码字错误为随机错误时,SKP 计算时间同式(1),此时译码器译码延时为

$$T_{q, \text{random}} = \left\lceil \frac{n}{2t-\beta} \right\rceil + 2t + qt_{\text{larger}} + \frac{n}{2t} \quad (7)$$

在码字错误为单段突发错误时,SKP 计算时间同式(2),此时译码器译码延时 $T_{q, \text{burst}}$ 为

$$T_{q, \text{burst}} = \left\lceil \frac{n}{2t-\beta} \right\rceil + [(2t-2\beta+1)L + 4\beta + 3]q + \frac{n}{t} \quad (8)$$

该译码器在高斯信道及突发错误信道(考虑所有码字均含单段突发错误)的平均延时计算式为

$$T_{\text{avg, AWGN}} = \sum_{q=0}^{2^{\eta}} p_{q, \text{random}} T_{q, \text{random}} + p_r T_r \quad (9)$$

$$T_{\text{avg, Bursty}} = \sum_{q=0}^{2^{\eta}} p_{q, \text{burst}} T_{q, \text{burst}} \quad (10)$$

式中: $p_{q, \text{random}}$ 、 $p_{q, \text{burst}}$ 分别表示译码随机错误及单段突发错误时执行 q 个测试向量的概率, p_r 表示码字无错误的概率,概率大小与信道环境密切相关。

图 8 给出在 RS(255, 239)、 $\eta=3$ 、 $\beta=2$ 条件下串行融合译码器的译码延时,并与基于 USC 的 LCC 译码器^[16]、流水线结构融合译码器^[20]、串行 ET-LCC 译码器^[27]、基于 SPCF 的串行 LCC 译码器^[25]对比。其中,实线是高斯信道下的译码延时情况,虚线是突发错误信道且每个码字均含单段突发错误时的译码延时情况。可以看出,在高斯信道下,串行融合译码器具有最低的译码延时,且随着信噪比的增大不断下降。在信噪比 6.2~7.4 dB 范围内

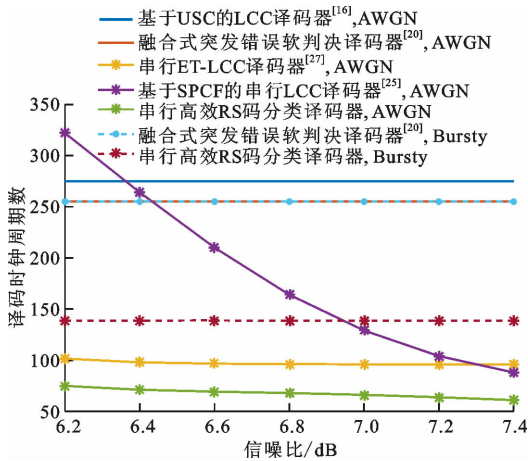


图 8 不同译码器的延时对比

时,所提译码器的平均延时相比文献[16]、[20]、[27]、[35]中译码器可分别减少 75.38%、73.45%、63.01%、29.68%。此外,在突发错误信道下,信噪比变化影响的是码字含单段突发错误的概率。当仅对单段突发错误进行测试时,其译码延时基本不随信道信噪比变化,且比流水线结构译码器的平均延

表 1 RS(255,239)融合译码器实现结果

译码器结构	XOR 总门数	最大时钟频率/MHz	平均延迟		吞吐率/(Mb · s ⁻¹)	
			AWGN	Bursty	AWGN	Bursty
流水线结构 ^[20]	41 529	200	255	255	1 673	1 673
所提串行结构	37 620	187	67.7	138.6	5 634	2 752

4 结 论

本文分析流水线结构融合译码器的时序关系,发现其第 2 级流水阶段存在大量空闲等待时间。为消除该等待时间、提升译码效率,本文提出了一种新型串行融合 RS 码译码器,并设计了修正的 SPCF 模块。本文进行了串行融合译码器的译码延时分析,与其他多种译码器对比,所提译码器均取得了一定的延时优势。串行融合译码器通过 Design Compiler 工具在 SMIC 0.13μm CMOS 工艺下实现,与流水线结构相比,所提串行结构可减少约 9.4% 的硬件资源消耗,在高斯信道及突发错误信道下译码时,吞吐率可分别提升 236.76% 和 64.49%。综上,本文所提具有融合纠错能力的串行融合译码器具有更为优异的性能。

参考文献:

[1] REED I S, SOLOMON G. Polynomial codes over certain finite fields [J]. Journal of the Society for Indus-

时减少了 45.65%。

3.2 硬件实现结果

本文提出的新型串行融合译码器在 RS(255, 239)、 $\eta=3$ 、 $\beta=2$ 的条件下实现了 Verilog HDL 建模,并在 SMIC 0.13μm CMOS 工艺下采用 Design Compiler 工具实现了逻辑综合。考虑到同时具有纠正随机错误与单段突发错误的能力,表 1 给出了流水线结构融合译码器及所提串行架构融合译码器的综合结果对比(综合工具及工艺保持一致)。

新型串行融合 RS 码译码器的面积为 0.447 mm²,需要 37 620 个二进制异或门,相比流水线结构减少约 9.4% 的硬件资源消耗。串行融合译码器的最大时钟频率为 187 MHz,相比流水线结构有所下降。信噪比在 6.2~7.4 dB 范围内的高斯信道下,串行融合译码器平均延时约为 67.7,吞吐率达 5 634 Mb/s,相比流水线结构增加约 236.76%。在仅含单段突发错误的突发错误信道下,串行融合译码器的平均延时约为 138.6,吞吐率达 2 752 Mb/s,相比流水线结构增加约 64.49%。

trial and Applied Mathematics, 1960, 8(2): 300-304.

[2] YUEN J H, SIMON M K. Modulation and coding for satellite and space communications [J]. Proceedings of the IEEE, 1990, 78(7): 1250-1266.

[3] CCSDS. TM Synchronization and channel coding-summary of concept and rationale; CCSDS 130.1-G-1 [S]. Washington, USA: CCSDS, 2012: 1-89.

[4] LIN Maofu, YANG Guochang, CHANG Chengyuan, et al. Frequency-hopping CDMA with Reed-Solomon code sequences in wireless communications [J]. IEEE Transactions on Communications, 2007, 55(11): 2052-2055.

[5] HANHO L. A high-speed low-complexity Reed-Solomon decoder for optical communications [J]. IEEE Transactions on Circuits and Systems: II Express Briefs, 2005, 52(8): 461-465.

[6] CARDARILLI G C, OTTAVI M, PONTARELLI S, et al. Data integrity evaluations of Reed Solomon codes for storage systems [C]//Proceedings of the IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems. Piscataway, NJ, USA: IEEE,

- 2004; 158-164.
- [7] BERLEKAMP E R. On decoding binary Bose-Chaudhuri-Hocquenghem codes [J]. IEEE Transactions on Information Theory, 1965, 11(4): 577-579.
 - [8] REED I S, SHIH M T. VLSI design of inverse-free Berlekamp-Massey algorithm [J]. IEE Proceedings: E Computers and Digital Techniques, 2005, 138(5): 295-298.
 - [9] ARWATE D, SHANBHAG N. High-speed architecture for Reed-Solomon decoders [J]. IEEE Transactions on VLSI Systems, 2001, 9(5): 641-655.
 - [10] SHAO H M, TRUONG T K, DEUTSCH L J, et al. A VLSI design of a pipeline Reed-Solomon decoder [J]. IEEE Transactions on Computers, 2006, C-34(5): 393-403.
 - [11] KOETTER R, VARDY A. Algebraic soft-decision decoding of Reed-Solomon codes [J]. IEEE Transactions on Information Theory, 2003, 49(11): 2809-2825.
 - [12] KOETTER R, VARDY A. A complexity reducing transformation in algebraic list decoding of Reed-Solomon codes [C]//Proceedings of the 2003 IEEE Information Theory Workshop. Piscataway, NJ, USA: IEEE, 2003: 10-13.
 - [13] BELLORADO J, KAVCIC A. A low-complexity method for chase-type decoding of Reed-Solomon codes [C]//Proceedings of the IEEE International Symposium on Information Theory. Piscataway, NJ, USA: IEEE, 2006: 2037-2041.
 - [14] JIANG J, NARAYANAN K R. Algebraic soft-decision decoding of Reed-Solomon codes using bit-level soft information [J]. IEEE Transactions on Information Theory, 2006, 54(9): 3907-3928.
 - [15] GARCÍA-HERRERO F, VALLS J, MEHER P K. High-speed RS (255, 239) decoder based on LCC decoding [J]. Circuits Systems and Signal Processing, 2011, 30(6): 1643-1669.
 - [16] ZHANG Wei, WANG Hao, PAN Boyang. Reduced-complexity LCC Reed-Solomon decoder based on unified syndrome computation [J]. IEEE Transactions on Very Large Scale Integration Systems, 2013, 21(5): 974-978.
 - [17] WU Yingquan. Novel burst error correction algorithms for Reed-Solomon codes [J]. IEEE Transactions on Information Theory, 2012, 58(2): 519-529.
 - [18] LI Li, YUAN Bo, WANG Zhongfeng, et al. Unified architecture for Reed-Solomon decoder combined with burst-error correction [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2012, 20(7): 1346-1350.
 - [19] 胡岩, 张为, 王令宇. 新型混合信道模型下的 Reed-Solomon 码融合硬判决译码算法研究 [J]. 南开大学学报(自然科学版), 2019, 52(5): 38-41.
 - [19] HU Yan, ZHANG Wei, WANG Lingyu. Research on Reed-Solomon code united hard decision decoding algorithm under new hybrid channel model [J]. Acta Scientiarum Naturalium Universitatis Nankaiensis, 2019, 52(5): 38-41.
 - [20] WANG Lingyu, ZHANG Wei, WANG Yang, et al. Multiple channel error-correction algorithms for LCC decoding of Reed-Solomon codes and its high-speed architecture design [J]. IET Communications, 2017, 11(9): 1407-1415.
 - [21] 王令宇, 张为, 刘艳艳. 一种 RS 码突发错误译码算法的改进算法 [J]. 南开大学学报(自然科学版), 2018, 51(1): 50-53.
 - [21] WANG Lingyu, ZHANG Wei, LIU Yanyan. An improved RS burst error decoding algorithm [J]. Acta Scientiarum Naturalium Universitatis Nankaiensis, 2018, 51(1): 50-53.
 - [22] 周训. 基于 BM 算法的 RS 译码器 IP 核设计 [D]. 成都: 成都电子科技大学, 2009: 1-91.
 - [23] 武士强. 一种串行低功耗的 RS 译码器设计 [D]. 天津: 天津大学, 2012: 1-75.
 - [24] JI Wenjie, ZHANG Wei, PENG Xingru, et al. High-efficient Reed-Solomon decoder design using recursive Berlekamp-Massey architecture [J]. IET Communications, 2016, 10(4): 381-386.
 - [25] LI Xuemei, ZHANG Wei, LIU Yanyan. Efficient architecture for algebraic soft-decision decoding of Reed-Solomon codes [J]. IET Communications, 2014, 9(1): 10-16.
 - [26] 胡岩, 张为, 王令宇, 等. 突发错误检测重数分配算法及其电路设计 [J]. 西安交通大学学报, 2018, 52(2): 70-75.
 - [26] HU Yan, ZHANG Wei, WANG Lingyu, et al. An assignment algorithm of multiplicity for burst-error detection and design of its circuit [J]. Journal of Xi'an Jiaotong University, 2018, 52(2): 70-75.
 - [27] LUO Haowen, ZHANG Wei, WANG Yang, et al. An algorithm for improving the throughput of serial low-complexity chase soft-decision Reed-Solomon decoder [J]. IEEE Transactions on Very Large Scale Integration Systems, 2017, 25(12): 1-4.

(编辑 武红江)